

US-PAT-NO: 5970370

DOCUMENT-IDENTIFIER: US 5970370 A

TITLE: Manufacturing capping layer for the
fabrication of cobalt salicide structures

----- KWIC -----

One key use of silicides is in the so-called salicide process. Salicide processing is the manufacture of "self-aligned" silicide gate structures. A typical presently used process is shown in FIGS. 1A-1D. FIG. 1A begins with a self-aligned MOS transistor already formed on a silicon substrate. Such a device features a gate structure, 103, formed on an active semiconductor surface region, 101, lying between field oxide regions, 102, of a semiconductor surface. The gate, 103, lies between spacers, 104, and source and drain regions, 105. The gate, 103, typically features an electrode formed from polysilicon. As shown in FIG. 1B, a silicide structures are typically formed by sputtering titanium (Ti), 106, over the entire semiconductor surface in a physical vapor deposition ("PVD") process. The resulting structure is then heated in a first rapid thermal anneal ("RTA1") process. As shown in FIG. 1C, this causes the titanium to react with the polysilicon in gate region, 103g, and also with the silicon of the source and drain regions, 105d. However, titanium deposited in the spacer and field oxide regions, u, does not react to form silicide. Moreover, the reaction between titanium and silicon in the source, 105d, drain, 105d, and gate, 103g, regions is

"incomplete". The unreacted titanium, u , is selectively etched from the surface leaving only the "incompletely" reacted titanium silicide in regions, 103g and 105d. The "incompletely" reacted titanium silicide ($TiSi_{.sub.2}$) has a crystallographic structure, known as C49. C49 $TiSi_{.sub.2}$ is an unsatisfactory end product which has high sheet resistance. Titanium silicide requires further processing to obtain the necessary sheet resistance. A second RTA ("RTA2") is performed causing $TiSi_{.sub.2}$ to change phase, forming a low resistance $TiSi_{.sub.2}$, known as C54. C54 $TiSi_{.sub.2}$ has a much lower sheet resistance than C49 and is used as an effective gate contact material.

The invention of Wei describes a process for forming a titanium nitride/cobalt silicide bilayer for use in salicide technology and as contact vias. Titanium is deposited on a silicon substrate then coated with a thin layer of Co. These layers are annealed in a nitrogen atmosphere. During anneal, cobalt migrates into the silicon substrate and titanium migrates upwards towards the surface. The surface titanium reacts with the atmosphere to form titanium nitride which protects the underlying cobalt layer. The cobalt then reacts with the silicon layer to form cobalt silicide. This method has the advantage of being a simple process which does not require the removal of the native $SiO_{.sub.2}$ layer from the Si wafer surface. Additionally, the Ti layer getters the atmospheric and surface impurities from the Co layer preventing its contamination during processing. However, this process suffers from undesirable formation of a $CoTi_{.sub.2}$ intermediate at the Ti/Co interface which inhibits $CoSi_{.sub.2}$ formation.

Another present art process for fabricating a CoSi.₂ layer, involves the deposition of a titanium nitride (TiN) capping layer over a cobalt layer. This process begins with a silicon substrate having field oxide regions and spacers in place. The Si surface is stripped of its native oxide, then a layer of Co is formed over the surface. Subsequently, a capping layer of TiN is formed over the metallic cobalt. The substrate is then subject to rapid thermal annealing. This process avoids the formation of CoTi.₂ by using the TiN cap, which avoids the Ti/Co reaction during processing. However, this process suffers from incomplete reaction of the Co with Si. This incompleteness is more pronounced at narrow linewidths (e.g. less than 0.30 .mu.m) and at intermediate temperatures (e.g. temperatures in the range of 500-600 .degree. C.). The process also suffers from the effects of oxide outgassing which inhibits silicide formation by slowing Co diffusion.

FIG. 13 depicts the structure shown in FIG. 12 after the fabrication of a passivation layer, 1301. The passivation layer, 1301, may be made of a variety of dielectric materials, for example, silicon dioxide or boropolysilicate glass (BPSG). The passivation layer is then masked and etched to expose those regions where contact vias are to be made. FIG. 14 shows the structure of FIG. 13 after the passivation layer, 1301, has been etched to form vias, 1302. The result is that vias, 1302, are formed in the passivation layer, 1301, exposing the CoSi.₂ layer overlying the source/drain regions, 1010d, or optionally gate regions, 1010g. The vias, 1302, are filled with conducting materials in order to make electrical contact with the device regions 1010d. Ideally the material used to fill the via, 1302, provides a specific

contact resistivity of less than 10^{-6} to 10^{-8} ohms cm.². Typical examples are polysilicon, doped polysilicon, tungsten, aluminum, copper, and copper alloys.

L Number	Hits	Search Text	DB	Time stamp
1	8	((silicide with oxide) and (opening or hole or via or recess)) and (titanium with react\$3 with oxide)	EPO; JPO; DERWENT; IBM TDB	2003/04/08 12:10

PAT-NO: JP405036632A
DOCUMENT-IDENTIFIER: JP 05036632 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: February 12, 1993

INVENTOR- INFORMATION:
NAME
SUMI, HIROBUMI

ASSIGNEE- INFORMATION:
NAME COUNTRY
SONY CORP N/A

APPL-NO: JP03189755
APPL-DATE: July 30, 1991

INT-CL (IPC): H01L021/28, H01L021/28
US-CL-CURRENT: 438/158, 438/655, 438/FOR.177, 438/FOR.360

ABSTRACT:

PURPOSE: To reduce, e.g. the resistance value of contact resistance and improve the heat resistance, by forming a uniform titanium silicide film on a polycrystalline silicon region.

CONSTITUTION: A gate 14 composed of polycrystalline silicon is formed on a silicon substrate 11 via a gate oxide film 13. Amorphous silicon layers 17A, 17B, 14A are formed on the silicon substrate 11 turning to a source/drain region and the gate 14 by implanting Ar ions. A silicon

oxide film is formed
by oxidizing the upper part of the amorphous silicon layer.

After a titanium
film 19 is deposited on the whole surface, a titanium
silicide film is formed
via silicon oxide films 18A, 18B, 14B, by making the
titanium film and the
amorphous silicon react with each other. Since the silicon
oxide film is
formed on the amorphous silicon layer, a uniform thin oxide
film is obtained,
and the titanium silicide film also is uniformly formed.

COPYRIGHT: (C)1993, JPO&Japio

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-36632

(43)公開日 平成5年(1993)2月12日

(51)Int.Cl.⁵

H 01 L 21/28

識別記号 庁内整理番号

3 0 1 T 7738-4M

A 7738-4M

F I

技術表示箇所

(21)出願番号

特願平3-189755

(22)出願日

平成3年(1991)7月30日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 角 博文

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

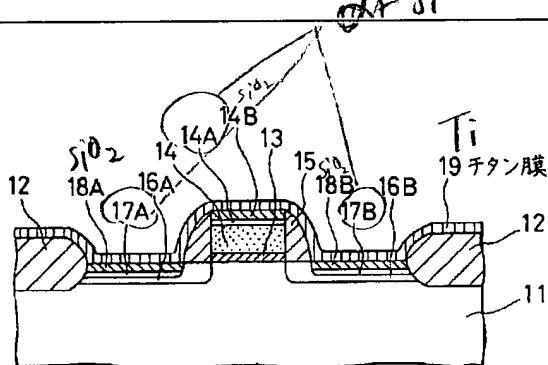
(74)代理人 弁理士 志賀 富士弥 (外1名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 多結晶シリコン領域上に均一なチタンシリサイド膜を形成し、例えば、コンタクト抵抗の低抵抗化及び耐熱化を図る。

【構成】 シリコン基板11上にゲート酸化膜13を介して、多結晶シリコンで成るゲート14を形成し、ソース・ドレイン領域となるシリコン基板11上とゲート14上にAr⁺イオンを注入して、非晶質シリコン層17A, 17B, 14Aを形成する。次に、この非晶質シリコン層の上部を酸化してシリコン酸化膜を形成する。次いで、全面にチタン膜19を堆積させた後、シリコン酸化膜18A, 18B, 14Bを介して、チタン膜と非晶質シリコンとを反応させてチタンシリサイド膜を形成する。このように、非晶質シリコン層にシリコン酸化膜を形成するため、均一な薄い酸化膜ができ、このため、チタンシリサイド膜も均一に形成できる。



(第1実施例)

【特許請求の範囲】

【請求項1】 表面に多結晶シリコン領域を有する、シリコン基板に対して不活性物質をイオン注入して所定深さまで非晶質シリコン層を形成し、次いで、酸化処理を施して上記非晶質シリコン層の深さより浅くシリコン酸化膜を形成した後、該シリコン酸化膜上にチタン膜を形成し、前記シリコン酸化膜を介して前記チタン膜とシリコンとを反応させてチタンシリサイドを形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、更に詳しくは、選択的にシリサイドを形成する SALICIDE (Self-Aligned Silicide) プロセスに係わる。

【0002】

【従来の技術及び発明が解決しようとする課題】 近年、デバイスのプロセスルールがディープハーフミクロンレベル以下になってくるとトランジスタのソース／ドレイン領域の接合深さがさらに浅くなり、各種の問題が生じてくる。その一つにソース／ドレイン領域のシート抵抗の増大がある (J. Electrochem. Soc., SOLID-STATE SCIENCE AND TECHNOLOGY November 1988

第2875頁参照)。従ってソース／ドレイン拡散層を配線として用いるASIC (Application Specific Integrated Circuit) 等においては、この部分の配線抵抗を低抵抗化する必要がある。そのために、ソース／ドレイン領域に選択的にシリサイドを形成する SALICIDE (Self-Aligned Silicide) プロセスの研究が盛んに行われている (例えばJ. Electrochem. Soc., Vol. 137, No. 6, June 1990、第1914頁～第1917頁に記載されている)。このような SALICIDE を用いるシリサイドとしては、シリサイド中最も抵抗率の低いチタンシリサイド ($TiSi_2$) が有望であると考えられている。従来、ソース／ドレイン領域にシリサイドを形成する方法としては、図20に示すような方法が知られている。この方法は、先ず、図20 (A) に示すようなソース領域1A、ドレイン領域1B、ゲート電極2、フィールド酸化膜3等を形成したシリコン基板1上全面に、同図 (B) に示すように、チタン (Ti) 膜4を堆積させる。次に、ランプアニールを施して、ソース領域1A及びドレイン領域1B上にチタンシリサイド5を形成し (同図 (C))、次に、同図 (D) に示すように、未反応なチタン膜4を選択的に除去する。

【0003】 ところで、LSI プロセスに適応するシリサイドの条件としては、900°C以上の耐熱性を有する必要がある。これは、トランジスタ形成後のコンタクト

イオン注入後の活性化アニール等のプロセスで900°C以上の高温アニールを施す必要があるためである。しかし、上記した従来の方法で形成したチタンシリサイド ($TiSi_2$) は、900°C程度の高温プロセスで凝集を起こし、シート抵抗が増大する (10Ω/□が300Ω/□まで上昇する) 問題を有している。

【0004】 このような問題を解決する方法の一つとしては、特願平1-175105号明細書記載に係る Ti シリサイド形成プロセスとしての SITOX (Silicidation Through Oxide) 法が創案されている。

この方法は、薄い Si 酸化膜を介して Ti と Si を反応させ Ti シリサイドを形成する方法である。斯る方法で形成したシリサイド膜は、結晶粒径が、通常の方法で形成したシリサイド膜と比較して一桁程度大きくなり、これにより 1100°Cまで耐熱性が向上することが 1990 年 IEDM 等で報告されている。この方法の特徴は、 Ti 成膜前に、均一な薄い Si 酸化膜を形成することであり、この均一な酸化膜を通してシリサイド化反応を生じさせるものである。通常のプロセスは、不均一な自然酸化膜が存在するので、不均一なシリサイド化反応となる。よって、上記方法 (SITOX 法) においても、Si 基板を覆う均一な酸化膜を形成する必要がある。しかし、この酸化膜の膜厚が厚すぎると下地 Si 基板からの Si の拡散は生じなくなりシリサイドが形成できなくなる。図21は、酸化膜厚が 7 μm 以上ではシリサイドが形成できないため、シート抵抗が高くなることを示している。このため、厚さが均一な薄い酸化膜を制御性良く形成する必要がある。

【0005】 しかしながら、実際の MOS トランジスタにおいては、ソース／ドレイン部は単結晶シリコンであるが、ゲート配線領域等は多結晶シリコンで形成している場合が多く、このような構造において酸化を行なうと、単結晶シリコンに対して多結晶シリコンの酸化は 20% 厚く酸化膜が形成されることが分っている。例えば、酸化炉中にドライ O_2 101/min の流量において 1000°Cで 60 分間酸化すると、単結晶シリコン上には、500 Å のシリコン酸化膜が形成され、多結晶シリコン上には 600 Å の酸化膜が形成される。このために、上記した SITOX プロセスを適用してもソース／ドレイン領域 (単結晶シリコン) は 50 Å の酸化に対して、例えばゲート配線部 (多結晶シリコン) は 60 Å の酸化膜厚となる。結果として、ソース／ドレイン部のみ Ti シリサイドとなるがゲート配線部はシリサイド化反応は伴わない。また、多結晶シリコンの酸化膜厚 (ゲート配線で 50 Å になるような酸化条件で酸化する) を見込んで酸化しても、多結晶シリコンであるために不均一な酸化となり、ゲート配線部の Ti シリサイドは不均一に形成されるという問題がある。例えば、図22 (A) は、多結晶シリコン領域 6 と単結晶シリコン領域 7 を備えた基板 8 を示している。同図中 6a は結晶粒界を示し

ている。このような構造において酸化させると同図(B)に示すように、単結晶シリコン領域7及び多結晶シリコン領域6に酸化膜9が形成される。この状態において、多結晶シリコンと酸化膜9との界面9aは不均一で荒れた状態となっている。次に、同図(C)に示すように、Tiシリサイド10を形成しても多結晶シリコンとTiシリサイド10との界面は荒れた状態となるため、膜厚は不均一となる。

【0006】本発明は、このような従来の問題点に着目して創案されたものであって、多結晶シリコン上に均一なTiシリサイド膜を形成できる半導体装置の製造方法を得んとするものである。

【0007】

【課題を解決するための手段】そこで、本発明は、表面に多結晶シリコン領域を有する、シリコン基板に対して不活性物質をイオン注入して、所定深さまで非晶質シリコン層を形成し、次いで、酸化処理を施して上記非晶質シリコン層の深さより浅くシリコン酸化膜を形成した後、該シリコン酸化膜上にチタン膜を形成し、前記シリコン酸化膜を介して前記チタン膜とシリコンとを反応させてチタンシリサイドを形成することを、その解決手段としている。

【0008】

【作用】多結晶シリコンに不活性物質をイオン注入することにより、所定の深さまで制御性良く非晶質シリコン層を形成することができ、この非晶質シリコンには均一な薄いシリコン酸化膜を制御性良く形成することができる。このため、このシリコン酸化膜を介してチタンとシリコンを反応させることにより、多結晶シリコン上でも均一なチタンシリサイド膜を形成することができる。また、多結晶シリコン以外の単結晶シリコン上でも同様の作用がある。

【0009】

【実施例】以下、本発明に係る半導体装置の製造方法の詳細を図面に示す実施例に基づいて説明する。

【0010】(第1実施例)図1~図8は、本発明の第1実施例の工程を示す断面図である。

【0011】本実施例は、図1に示すように、シリコン基板11に、周知の技術を用いて、素子分離領域にフィールド酸化膜12、ゲート酸化膜13、多結晶シリコンで成るゲート14、LDDイオン注入層16A、16B、ゲートサイドウォール15を形成する。

【0012】次に、不活性物質であるアルゴンのイオン(Ar^+)をエネルギー10KeVで $1e16/cm^2$ のドーズ量でイオン注入して、図2に示すように、単結晶であるシリコン基板11のソース・ドレイン部及びゲート14の表面から80Åの深さまでの領域を非晶質化させ、非晶質シリコン層17A、17B及び非晶質シリコン層14Aを形成する。

【0013】次に、850°Cのドライ酸化処理(O_2 流

量10l/min、10分間熱処理)を施して、図3に示すように、表面より50Åの深さまでシリコン酸化膜18A、18B及び14Bを形成する。この時、ゲート14及びシリコン基板11の表面部は、上記工程で非晶質化されているため、均一な膜厚の酸化膜(18A、18B、14B)が形成できる。

【0014】そして、図4に示すように、全面にチタン膜19を堆積させる。この成膜条件は以下に示す通りである。

【0015】

○RFバイアス … 50W

○DCパワー … 1kW

○スパッタガス及びその流量

Ar … 40sccm

○堆積温度 … 200°C

○堆積速度 … 200Å/min.

その後、ラピッドサーマルアーナー(RTA)をアルゴン(Ar)雰囲気中で650°Cの温度、30秒の時間で行ない、チタンシリサイド膜20、21を形成する。そして、ウエハをアンモニア過水に10分間浸漬することにより、未反応のチタン膜19を選択的にウェットエッチングする(図5)。さらに、窒素(N_2)雰囲気中900°C、30秒のアーナーを行ない、低抵抗で安定したチタンシリサイド膜20、21とする。

【0016】次いで、図6に示すように、チタンシリサイド20へ、例えばヒ素(As)を15KeV、 $3e15/cm^2$ のドーズ量でイオン注入を行なう。さらに、図7に示すように、CVDSIOで成る層間膜23を例えば500Åの膜厚に堆積させる。この層間膜23の形成条件は、以下に示す通りである。

【0017】

○ガス及びその流量

シラン(SiH4) … 250sccm

酸素(O_2) … 250sccm

窒素(N_2) … 100sccm

○温度 … 420°C

○圧力 … 100mTorr

次に、窒素(N_2)雰囲気中で1100°C、10秒の短時間アーナーを行なう。これにより、チタンシリサイド膜20、21の活性化を行なうのと同時に不純物の拡散を行ないソース領域22A、ドレイン領域22Bを形成する(図7)。これらチタンシリサイド膜20、20、21は、ソース・ドレイン領域22A、22B上及びゲート14上に、選択的に且つ均一に形成することができるため、シート抵抗の低減化(8Ω/□)が達成される。

【0018】なお、図8は、層間膜23にコンタクトホールを開口し、アルミ電極24A、24Bを形成したものを示している。

【0019】(第2実施例)図9~図19は、本発明の

第2実施例を示している。本実施例は、TFT (Thin Film Transistor) の形成に本発明を適用したものであって、下層トランジスタを上記した第1実施例の方法で図9に示す状態まで形成した後、ドライエッティングを行なって層間膜23にコンタクトホール23Aを開口し、図10に示すように、ドレイン領域側のチタンシリサイド膜20を露出させる。このエッティング条件は、以下に示す通りである。

【0020】

○エッティングガス及びその流量

C₄F₈ … 50scm

○RFパワー … 1200W

○圧力 … 2Pa

次に、TFTを形成するために、N型の多結晶シリコン (DOPOS) 膜25を、図11に示すように、CVD法を用いて全面に堆積させる。この多結晶シリコン膜25のCVD条件は、以下に示す通りである。

【0021】

○ガス及びその流量

シリコン (SiH₄) … 500scm

ホスフィン (PH₃) … 0.35scm

ヘリウム (He) … 50scm

○圧力 … 600mTorr

○温度 … 580°C

次に、図12に示すように、多結晶シリコン膜25表面に、例えば、850°C、O₂流量10l/minの酸化処理を施してゲート酸化膜26を形成する。そして、このゲート酸化膜26上に、TFTのゲートとなるN型の多結晶シリコン膜を形成し、図13に示すように、多結晶シリコン膜及びゲート酸化膜26をパターニングする。同図中27は、ゲートを示している。次に、全面にイオン注入を例えばBF₂、20KeV、Ie15/cm²の条件で施し、多結晶シリコン膜25のソース・ドレイン領域をP型の導電型にする。

【0022】その後、図14に示すように、CVD法によりSiO₂膜28を例えば4000Åの膜厚に堆積させる。このCVDの条件は、以下に示す通りである。

【0023】

○ガス及びその流量

シリコン (SiH₄) … 250scm

酸素 (O₂) … 250scm

窒素 (N₂) … 100scm

○温度 … 420°C

○圧力 … 100mTorr

次に、ドライエッティングにより全面エッチバックを行ない、図15に示すようにゲート27の側壁に、サイドウォール28Aを形成する。このエッチバックの条件は、例えば以下に示す通りである。

【0024】

○エッティングガス及びその流量

C₄F₈ … 50scm

○RFパワー … 1200W

○圧力 … 2Pa

次いで、Ar⁺イオンをエネルギー10KeVでIe16/cm²のドーザ量でイオン注入する。これにより、図16に示すように、多結晶シリコン膜25表面及びゲート27の表面から80Åの深さまでの領域を非晶質化し(このときのArの多結晶シリコン中の最大原子濃度の深さは80Åに存在している。これより、多結晶シリコン最表面から80Åの領域は非晶質な領域になっていると考えられる。) 非晶質シリコン層29、30を形成する。

【0025】さらに、例えば、850°C、O₂流量10l/min、10分間のドライ酸化を施し、50Åの厚さのシリコン酸化膜31、32を非晶質シリコン層29、30の上部に形成する(図17)。このとき、多結晶シリコン膜の表面層はすべて非晶質化しているために、均一な膜厚のシリコン酸化膜31、32が形成できる。さらに、図17に示すように、チタン膜33を例えば膜厚300Åで全面に堆積させる。このチタン膜33の成膜条件は、以下に示す通りである。

【0026】

○RFバイアス … 50W

○DC (スパッタ) パワー … 1kW

○スパッタガス及びその流量

Ar … 40scm

○圧力 … 0.4Pa

○堆積温度 … 200°C

○成膜速度 … 600Å/min

【0027】次に、ラピッドサーマルアニール (RTA) を、Ar中650°C、30秒の条件で行なって、図18に示すように、チタンシリサイド膜34、35を形成する。その後、アンモニア過水で10分間の浸漬を行ない未反応なチタン膜を選択的に除去する。さらに、窒素雰囲気中900°C、30秒のアニールを行ない、低抵抗の安定したチタンシリサイド膜34、35とする。

【0028】その後、図19に示すように、CVD法にて例えば膜厚5000Åの層間膜36を堆積させる。このCVD条件は、以下に示す通りである。

【0028】

○ガス及びその流量

シリコン (SiH₄) … 250scm

酸素 (O₂) … 250scm

窒素 (N₂) … 100scm

○温度 … 420°C

○圧力 … 100mTorr

その後、窒素雰囲気中1100°C、10秒の短時間アニールを行ない、これにより、多結晶シリコン及びチタンシリサイド膜の活性化を行なうのと同時に不純物の拡散

を行なう。なお、図19は、層間膜に窓開けを行ないア

ルミ電極37A, 37Bを形成してなるMOSFETを作成したものを示している。

【0029】上記各実施例においては、シリコン酸化膜を形成する領域が非晶質化されているため、均一に酸化を進行させることができる。従来のように、多結晶シリコンの酸化を深さ50Å程度まで行なった場合、結晶粒を有しているので結晶粒界部と粒内部での酸化速度が異なるため（粒界部は粒内部より20%速く酸化する）、シリコン酸化膜界面に荒れを生じ、そのため結果としてチタンシリサイド/Si界面も荒れるが、本発明では、上記したように、非晶質シリコン中を均一に酸化が進行し、均一な膜厚のシリサイドを形成できる。

【0030】また、上記両実施例においては、アルミ電極のコンタクト部をチタンシリサイドを用いているため、通常（従来）のシリサイドを用いない場合よりコンタクト抵抗が低減する。さらに、ゲート電極にチタンシリサイドが形成されるため、素子の応答速度が20%程度速くなる。

【0031】上記第2実施例において、図19に示すように、層間膜36、又は層間膜36と23とにコンタクトホールを形成しアルミ電極37A, 37Bを埋め込んだが、このとき、埋め込み易くするために、コンタクトホールにテーパを形成するプロセスとして、900°C程度の高温アニールを施し、TFT上部の層間膜のリフローを行なった場合、本実施例では、SiTOX-チタンシリサイドを用いているため高温によるシリサイドの凝集は発生せず、低抵抗を維持する。なお、通常の方法で形成したチタンシリサイド膜では凝集が発生し、シリサイドは高抵抗となる。

【0032】以上、第1・第2実施例について説明したが、本発明は、これらに限定されるものではなく、構成の要旨に付随する各種の設計変更が可能である。

【0033】例えば、上記第1実施例においては、単結晶シリコン基板上に多結晶シリコン領域を備えた構造に、本発明を適用したが、多結晶シリコン基板上に単結晶シリコン領域を有する場合に適用しても勿論よい。

【0034】

【発明の効果】以上の説明から明らかなように、本発明

によれば、単結晶シリコンや多結晶シリコン上に均一な薄いシリコン酸化膜が形成できるようになり、これにより、均一な膜厚のチタンシリサイド膜を形成できる効果がある。

【0035】また、本発明によれば、チタンシリサイド膜が、例えば、後工程で高温熱処理を行なっても、その抵抗値に変動が生ぜず、例えば最終的に形成するトランジスタの接合領域上のシート抵抗及びコンタクト抵抗は低抵抗（10Ω/□以下）を維持する効果がある。

【図面の簡単な説明】

【図1】本発明の第1実施例の工程を示す断面図。
 【図2】本発明の第1実施例の工程を示す断面図。
 【図3】本発明の第1実施例の工程を示す断面図。
 【図4】本発明の第1実施例の工程を示す断面図。
 【図5】本発明の第1実施例の工程を示す断面図。
 【図6】本発明の第1実施例の工程を示す断面図。
 【図7】本発明の第1実施例の工程を示す断面図。
 【図8】本発明の第1実施例の工程を示す断面図。
 【図9】本発明の第2実施例の工程を示す断面図。
 【図10】本発明の第2実施例の工程を示す断面図。
 【図11】本発明の第2実施例の工程を示す断面図。
 【図12】本発明の第2実施例の工程を示す断面図。
 【図13】本発明の第2実施例の工程を示す断面図。
 【図14】本発明の第2実施例の工程を示す断面図。
 【図15】本発明の第2実施例の工程を示す断面図。
 【図16】本発明の第2実施例の工程を示す断面図。
 【図17】本発明の第2実施例の工程を示す断面図。
 【図18】本発明の第2実施例の工程を示す断面図。
 【図19】本発明の第2実施例の工程を示す断面図。
 【図20】従来例の断面図。

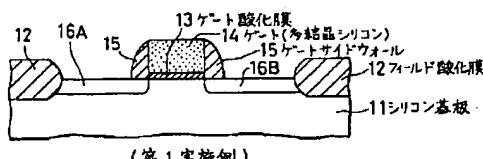
【図21】酸化膜の膜厚とシート抵抗との関係を示すグラフ。

【図22】従来例の説明図。

【符号の説明】

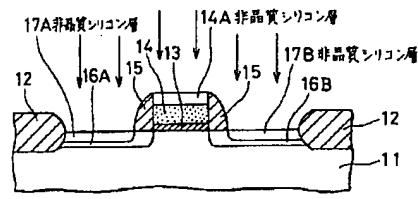
11…シリコン基板、14…ゲート、14A…非晶質シリコン層、14B…シリコン酸化膜、17A, 17B…非晶質シリコン層、18A, 18B…シリコン酸化膜、19…チタン膜、20, 21…チタンシリサイド膜。

【図1】



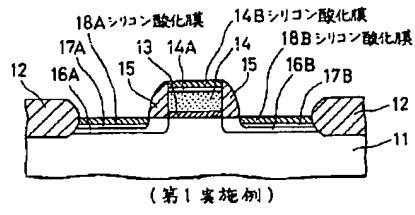
(第1実施例)

【図2】



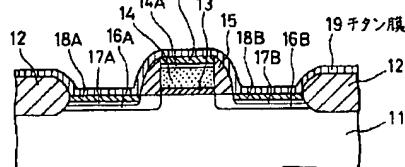
(第1実施例)

【図3】



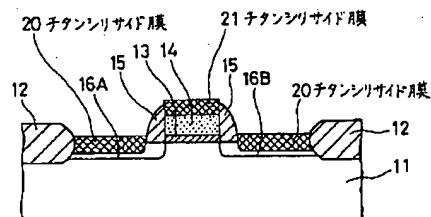
(第1実施例)

【図4】



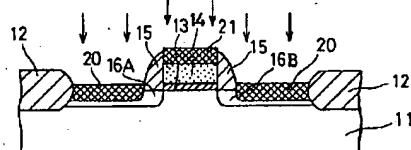
(第1実施例)

【図5】



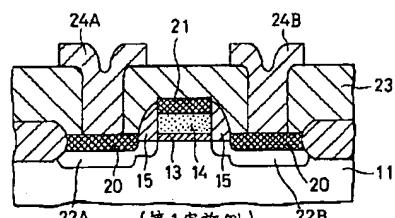
(第1実施例)

【図6】



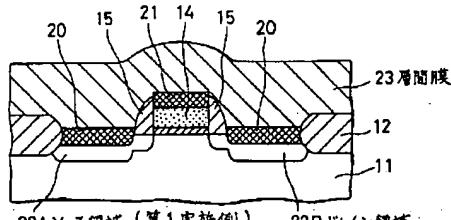
(第1実施例)

【図8】



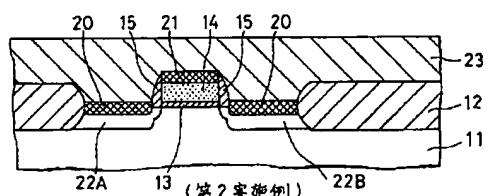
(第1実施例)

【図7】

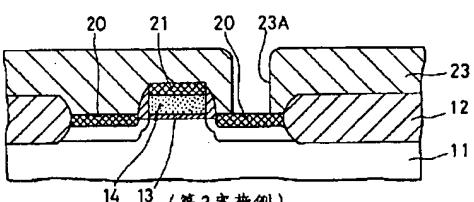


22Aソース領域(第1実施例) 22Bドレイン領域

【図9】

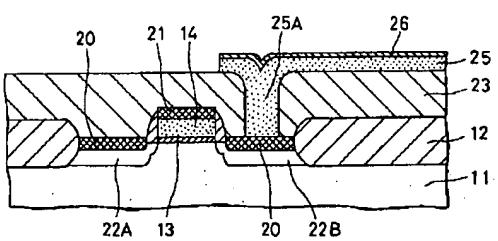


22A 13 (第2実施例) 22B



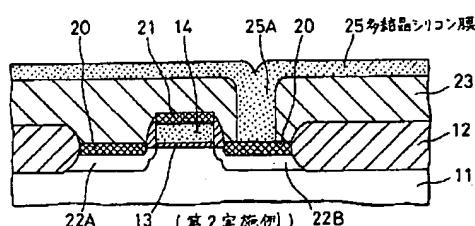
14 13 (第2実施例)

【図12】



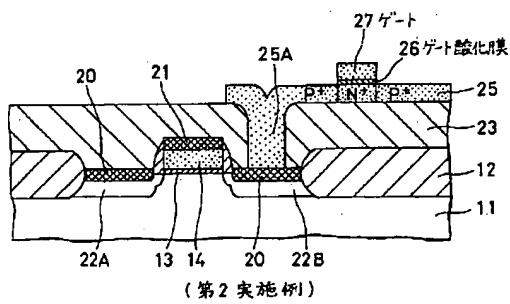
(第2実施例)

【図11】



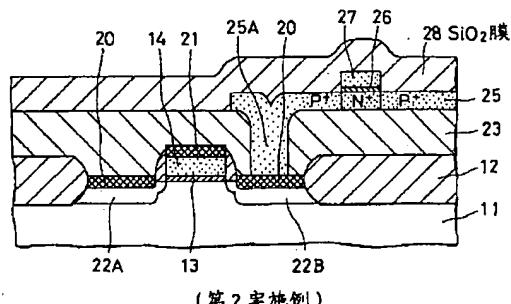
22A 13 (第2実施例) 22B

【図13】



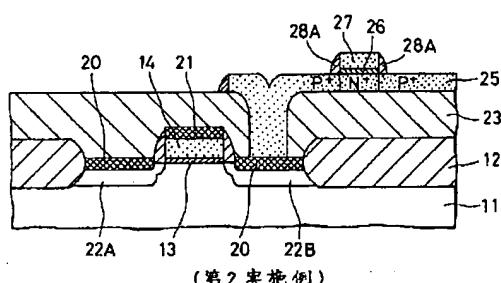
(第2実施例)

【図14】



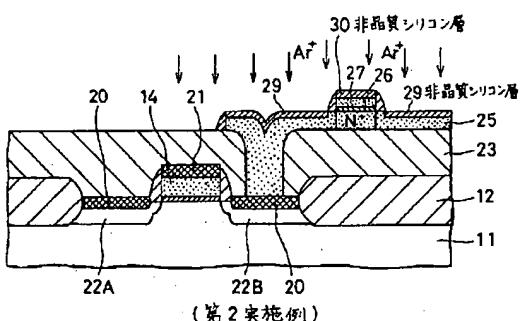
(第2実施例)

【図15】



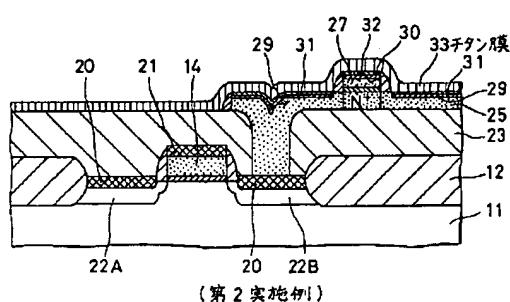
(第2実施例)

【図16】



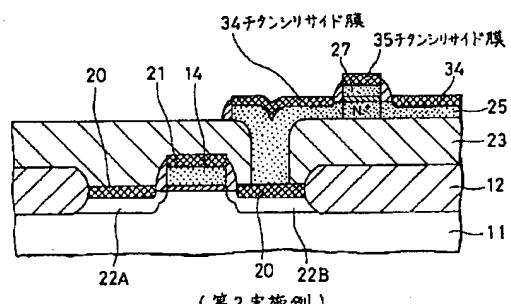
(第2実施例)

【図17】



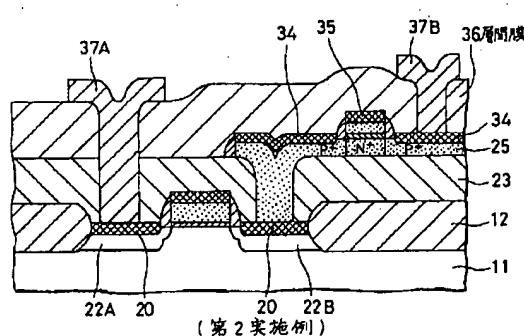
(第2実施例)

【図18】



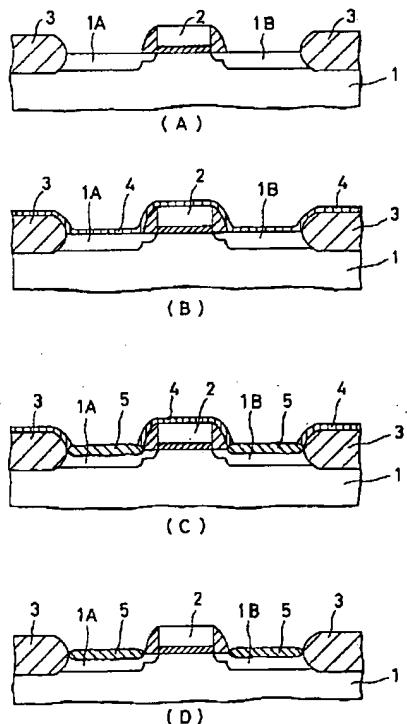
(第2実施例)

【図19】

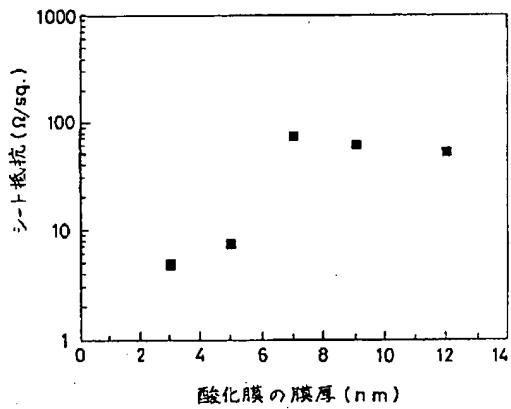


(第2実施例)

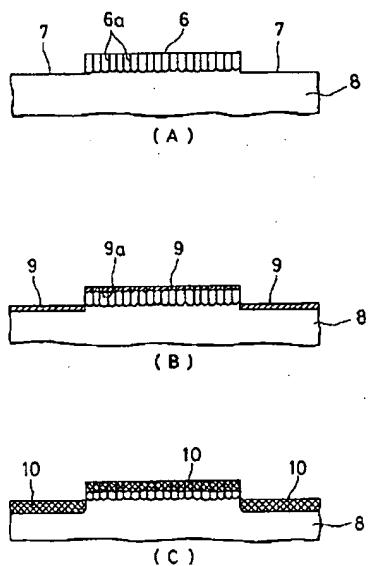
【図20】



【図21】



【図22】



L Number	Hits	Search Text	DB	Time stamp
3	2508	438/533,583,586,649,655,664,682,683.ccls.	USPAT; US-PGPUB	2003/04/08 13:27
4	661	438/533,583,586,649,655,664,682,683.ccls. and cobalt and titanium and silicide	USPAT; US-PGPUB	2003/04/08 13:28
5	647	(438/533,583,586,649,655,664,682,683.ccls. and cobalt and titanium and silicide) and @ad<=20020123	USPAT; US-PGPUB	2003/04/08 13:28
6	1151	257/754,755,757,768,769.ccls.	USPAT; US-PGPUB	2003/04/08 13:28
7	157	257/754,755,757,768,769.ccls. and cobalt and titanium and silicide	USPAT; US-PGPUB	2003/04/08 13:28
10	155	(257/754,755,757,768,769.ccls. and cobalt and titanium and silicide) and @ad<=20020123	USPAT; US-PGPUB	2003/04/08 13:29
11	124	((257/754,755,757,768,769.ccls. and cobalt and titanium and silicide) and @ad<=20020123) not ((438/533,583,586,649,655,664,682,683.ccls. and cobalt and titanium and silicide) and @ad<=20020123)	USPAT; US-PGPUB	2003/04/08 13:29